

#5

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Fujiyama et al.

Serial No.: 09/539,206

Filed: March 30, 2000



Group No.:

Examiner:

For: WRITE COMPENSATION CIRCUIT AND SIGNAL INTERPOLATION CIRCUIT
OF RECORDING DEVICE

Assistant Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF CERTIFIED COPY

Attached please find the certified copy of the foreign application from which
priority is claimed for this case:

Country: Japan
Application Number: 11-342656
Filing Date: December 1, 1989

SIGNATURE OF ATTORNEY

Reg. No. 26,725

Neil A. DuChez

Tel. No. (216) 621-1113

RENNER, OTTO, BOISSELLE & SKLAR, P.L.L.
1621 Euclid Avenue
Nineteenth Floor
Cleveland, Ohio 44115

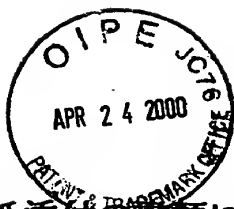
CERTIFICATE OF MAILING UNDER 37 C.F.R. § 1.8

I hereby certify that this correspondence (along with any paper referenced as being attached or
enclosed) is being deposited on the below date with the United States Postal Service with sufficient postage as
first class mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231.

Date: April 19, 2000

Janet Farr

(Transmittal of Certified Copy [5-4])



日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 1 2 月 1 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 3 4 2 6 5 6 号

出 願 人

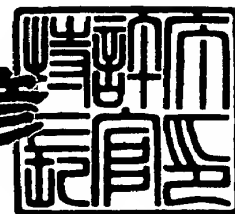
Applicant (s):

松下電器産業株式会社

2 0 0 0 年 2 月 2 5 日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特 2 0 0 0 - 3 0 1 1 0 6 0

【書類名】 特許願

【整理番号】 2037610046

【提出日】 平成11年12月 1日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 5/09
H03K 5/135
H03K 19/016

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 藤山 博邦

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 道正 志郎

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 中平 博幸

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100078282

【弁理士】

【氏名又は名称】 山本 秀策

【手数料の表示】

【予納台帳番号】 001878

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9303919

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 信号補間回路

【特許請求の範囲】

【請求項 1】 位相差の異なる一对の入力信号を分割して、複数の素子により、それぞれの信号の伝播時間を等しくして、各入力信号と同様の位相をそれぞれ有する一对の出力信号と、各出力信号の位相差の中間の位相を有する出力信号とをそれぞれ生成する信号補間回路であって、

前記伝播速度を制御する制御手段がさらに設けられていることを特徴とする信号補間回路。

【請求項 2】 前記制御手段は、前記各素子に対する入出力信号の伝播速度を制御する請求項 1 に記載の信号補間回路。

【請求項 3】 前記制御手段は、前記各素子内の信号の速度を制御する請求項 1 に記載の信号補間回路。

【請求項 4】 前記制御手段は、前記一对の入力信号の位相差に基づいて、信号の伝播速度の調整が可能になっている請求項 1 に記載の信号補間回路。

【請求項 5】 前記制御手段は、前記一对の入力信号の位相差の変化に応じて、信号の伝播速度の調整が可能になっている請求項 1 に記載の信号補間回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、位相の異なる一对の入力信号に対して、各入力信号と同様の位相の一对の出力信号と、各出力信号との中間の位相を有する出力信号とを出力するようになった信号補間回路に関し、特に、記憶装置に対してデータを書き込む際の書き込み補償回路に好適に使用することができる信号補償回路に関する。

【0002】

【従来の技術】

位相差のある一对の波形信号に基づいて、各波形信号の位相を均等に分割した位相を有する複数の波形信号を生成する信号補間回路が開発されている。このような信号補間回路としては、"A Portable Digital DLL Architecture for CMOS

Interface Circuits”, pp214-215, 1998 Symposium on VLSI Circuits Digest of Technical Papersに記載されており、その一例を、図 1 に示す。信号補間回路部 6 2 e は、例えば、2 つの入力端子 x_1 および x_2 と、9 つの出力端子 $y_1 \sim y_9$ とを有している。信号補間回路部 6 2 e では、図 2 (a) に示すように、各入力端子 x_1 および x_2 に、相互に位相の異なる信号 V_a および V_b をそれぞれ入力すると、図 2 (b) に示すように、各出力端子 $y_1 \sim y_9$ から、各入力信号 V_a のおよび V_b と同様の位相を有する一対の出力信号 $V_{k'}$ および $V_{s'}$ と、両出力信号 $V_{k'}$ および $V_{s'}$ 間の位相を等しく分割した位相をそれぞれ有する 7 個の補間信号 $V_{l'} \sim V_{r'}$ とを、それぞれ出力するようになっている。

【0003】

図 3 は、信号補間回路部 6 2 e の具体的構成を示す回路図である。図 3 に示す信号補間回路部 6 2 e は、入力端子 x_1 および x_2 からそれぞれ入力される信号 V_a および V_b がそれぞれ与えられる一対のインバータ 4 1 および 4 2 と、各インバータ 4 1 および 4 2 から出力される信号 $V_{a'}$ および $V_{b'}$ をそれぞれ補間処理して、各信号 $V_{a'}$ および $V_{b'}$ と同様の位相を有する一対の信号 V_c および V_e と両信号の中間の位相を有する補間信号 V_d とを出力する第 1 補間処理部 1 0 を有している。

【0004】

第 1 補間処理部 1 0 から出力される信号 $V_c \sim V_e$ は、それぞれ 3 つのインバータ 4 3、4 4、4 5 に入力されて、各インバータ 4 3 \sim 4 5 の出力 $V_{c'} \sim V_{e'}$ がそれぞれ第 2 補間処理部 2 0 に与えられている。第 2 補間処理部 2 0 は、各インバータ 4 3 \sim 4 5 の出力信号 $V_{c'} \sim V_{e'}$ に対して、一対の信号ずつ、第 1 補間処理部 1 0 と同様の補間処理を実施することにより、5 個の信号 V_f 、 V_g 、 V_h 、 V_i 、 V_j を出力する。

【0005】

第 2 補間処理部 2 0 から出力される 5 個の出力信号 $V_f \sim V_j$ は、それぞれ 5 個のインバータ 4 6、4 7、4 8、4 9、5 0 に入力されて、各インバータ 4 6 \sim 5 0 の出力信号 $V_{f'} \sim V_{j'}$ が第 3 補間処理部 3 0 にそれぞれ入力されている。第 3 補間処理部 3 0 は、各インバータ 4 6 \sim 5 0 の出力 $V_{f'} \sim V_{j'}$ に対

して、一対の信号ずつ、第1補間処理部10と同様の補間処理を実施することにより、9個の補間信号 V_k 、 V_l 、 V_m 、 V_n 、 V_o 、 V_p 、 V_q 、 V_r 、 V_s をそれぞれ出力する。第3補間処理部30から出力される9個の補間信号 $V_k \sim V_s$ は、それぞれ9個のインバータ51～59に入力されており、各インバータ51～59の出力が、各出力端子 $y_1 \sim y_9$ から、それぞれ出力信号 $V_k' \sim V_s'$ として出力される。

【0006】

第1補間処理部10は、各インバータ41および42の出力 V_a' および V_b' がそれぞれ入力される一対の第1回路ブロック11と、両インバータ41および42の出力 V_a' および V_b' がそれぞれ入力される1個の共通第2回路ブロック12と、各インバータ41および42の出力 V_a' および V_b' がそれぞれ入力される一対の第2回路ブロック12とを有している。

【0007】

各第1回路ブロック11は、それぞれ同様の構成になっており、図4(a)に示すように、1個のインバータ11aによって構成されている。また、共通第2回路ブロック12を含む全ての第2回路ブロック12は、それぞれ同様の構成になっており、図4(b)に示すように、一対のインバータ12aによって構成されている。そして、共通第2回路ブロック12からは、一対のインバータ12aの出力が一括されて出力されるようになっている。

【0008】

図5に示すように、各インバータ41および42の出力 V_a' および V_b' は、各第1回路ブロック11にそれぞれ与えられており、各第1回路ブロック11によって、それぞれ反転された出力信号 V_c および V_e とされる。また、各インバータ41および42の出力は、共通第2回路ブロック12の各インバータ12aにそれぞれ入力されており、両インバータ12aの一括された出力 V_d が、共通第2回路ブロック12の出力になっている。そして、第1回路ブロック11の出力 V_c および V_e と、共通第2回路ブロック12の出力 V_d とが、各インバータ43および45と、インバータ44とによって、それぞれ反転された状態で第2補間処理部20に与えられている。

【0009】

第2補間処理部20では、インバータ43の出力信号Vc'とインバータ44の出力Vd'とが、それぞれ各第1回路ブロック11に与えられるとともに、1つの共通第2回路ブロック12に与えられており、各第1ブロック11から信号VfおよびVhがそれぞれ出力されるとともに、共通第2回路ブロック12から信号Vgが出力される。同様に、インバータ44の出力Vd'とインバータ45の出力Ve'とが、それぞれ各第1回路ブロック11に与えられるとともに、1つの共通第2回路ブロック12に与えられており、各第1ブロック11から信号VhおよびVjがそれぞれ出力されるとともに、共通第2回路ブロック12から信号Viが出力される。そして、各出力信号Vf～Vjが、各インバータ46～50に与えられて、各インバータ46～50から、信号Vf'～Vj'がそれぞれ出力される。

【0010】

第3補間処理部30でも、各インバータ46～50からの出力信号Vf'～Vj'が、各第1回路ブロック11にそれぞれ与えられるとともに、隣接する一対のインバータ(46および47、47および48、48および49、49および50)の出力信号が、1つの共通第2回路ブロック12にそれぞれ与えられており、5つの第1ブロック11から信号Vk、Vm、Vo、Vq、Vsがそれぞれ出力されるとともに、4つの共通第2回路ブロック12から、信号Vl、Vn、Vp、Vrがそれぞれ出力される。そして、各出力信号Vm～Vsが、各インバータ51～59に与えられて、各インバータ51～59から補間信号Vk'～Vs'がそれぞれ出力される。

【0011】

第1回路ブロック11を構成するインバータ11aの回路のサイズは、共通第2回路ブロック12を構成する一対のインバータ12aの回路のサイズの合計と等しくなるようにそれぞれ設定されている。従って、図5に示すように、各第1回路ブロック11からのそれぞれの出力VcおよびVeと、共通第2回路ブロック12からの出力Vdとがそれぞれ入力されるインバータ43および44と、インバータ45の負荷がそれぞれ等しくなっており、各インバータ41および42

から出力された信号 $V a'$ および $V b'$ が、各インバータ 4 3 ~ 4 5 から信号 $V c' \sim V e'$ として出力されるまでの伝播時間がそれぞれ等しくなっている。

【0 0 1 2】

従って、第 1 補間処理部 1 0 において、一对の第 1 回路ブロック 1 1 と 1 つの第 2 回路ブロック 1 2 によって 1 つの信号補間回路が形成されており、各インバータ 4 1 および 4 2 からそれぞれ出力される一对の入力信号 $V a'$ および $V b'$ が、各インバータ 4 3 ~ 4 5 から 3 つの信号 $V c' \sim V e'$ として出力されるまでの伝播時間が、それぞれ等しくなっている。

【0 0 1 3】

第 2 補間処理部 2 0 においても、一对の第 1 回路ブロック 1 1 と 1 つの第 2 回路ブロック 1 2 によって 1 つの信号補間回路がそれぞれ形成されており、各信号補間回路において、入力された信号が出力されるまでの伝播時間がそれぞれ等しくなるようにそれぞれ設定されて、各インバータ 4 3 ~ 4 5 から出力された 3 つの出力信号 $V c' \sim V e'$ が、各インバータ 4 6 ~ 5 0 から 5 つの信号 $V f' \sim V j'$ として出力されるまでの伝播時間が、それぞれ等しくなっている。

【0 0 1 4】

第 3 補間処理部 3 0 においても、一对の第 1 回路ブロック 1 1 と 1 つの第 2 回路ブロック 1 2 によって 1 つの信号補間回路がそれぞれ形成されており、各インバータ 4 6 ~ 5 0 からの 5 つの出力信号 $V f' \sim V j'$ が、9 つの各インバータ 5 0 ~ 5 9 から、それぞれ信号 $V k' \sim V s'$ として出力されるまでの伝播時間がそれぞれ等しくなっている。

【0 0 1 5】

【発明が解決しようとする課題】

各信号補間回路におけるインバータ 1 1 a および 1 2 a は、入力信号が、設定された所定の閾値電圧 V_{th} よりも高い状態から低い状態になった場合、あるいは反対の状態になった場合に、出力信号のレベルが反転するようになっている。従って、図 6 (a) に示すように、共通第 2 回路ブロック 1 2 の出力 $V d$ がインバータ 4 4 に入力されると、その入力信号 $V d$ が閾値電圧 V_{th} よりも高い状態から低い状態になることによって、その出力信号のレベルが反転し、インバータ 4 4

の出力信号 V_d' は、理想的には、図 6 (b) に示すように、各インバータ 4 3 および 4 4 から出力される信号 V_c' および V_e' の中間の位相を有する信号とされる。

【0 0 1 6】

しかしながら、インバータの閾値電圧 V_{th} には、適当な電圧範囲が設定されており、実際には、図 6 (c) に示すように、共通第 2 回路ブロック 1 2 の出力 V_d には、適当な時間にわたって、電圧が変化しない状態が発生する。このために、インバータ 4 4 から出力される信号 V_d' は、図 6 (d) に示すように、各インバータ 4 3 および 4 4 から出力される信号 V_c' および V_e' の位相を均等に分割した中間の位相にはならず、従って、位相差のある一对の信号を線形に補間することができないおそれがある。

【0 0 1 7】

本発明は、このような問題を解決するものであり、その目的は、位相差を有する一对の信号を、線形に補間する補間信号を高精度に生成することができる信号補間回路を提供することにある。

【0 0 1 8】

【課題を解決するための手段】

本発明の信号補間回路は、位相差の異なる一对の入力信号を分割して、複数の素子により、それぞれの信号の伝播時間を等しくして、各入力信号と同様の位相をそれぞれ有する一对の出力信号と、各出力信号の位相差の中間の位相を有する出力信号とをそれぞれ生成する信号補間回路であって、前記伝播速度を制御する制御手段がさらに設けられていることを特徴とする。

【0 0 1 9】

前記制御手段は、前記各素子に対する入出力信号の伝播速度を制御する。

【0 0 2 0】

前記制御手段は、前記各素子内の信号の速度を制御する。

【0 0 2 1】

前記制御手段は、前記一对の入力信号の位相差に基づいて、信号の伝播速度の調整が可能になっている。

【0022】

前記制御手段は、前記一对の入力信号の位相差の変化に応じて、信号の伝播速度の調整が可能になっている。

【0023】

【発明の実施の形態】

以下、図面を参照して、本発明の実施の形態について説明する。

【0024】

本発明の信号補間回路は、図3に示す信号補間回路部62eに設けられた各信号補間回路において、図7(a)に示すように、第1回路ブロック11が、インバータ11aと、抵抗11bとの直列回路によって構成されており、また、図7(b)に示すように、第2回路ブロック12が、一对のインバータ12aと、各インバータ12aにそれぞれ直列接続された一对の抵抗12bとによって構成されている。そして、各抵抗12b同士が一括されて、1つの出力端となっている。その他の構成は、図3に示す信号補間回路と同様になっている。

【0025】

図8は、本発明の信号補間回路における第1補間処理部10の要部の構成図である。各インバータ41および42から出力される相互に異なった位相の出力信号V a' およびV b' は、各第1回路ブロック11にそれぞれ与えられており、各第1回路ブロック11のインバータ11aおよび抵抗11bの直列回路によって、それぞれ信号V c およびV e として出力される。また、各インバータ41および42の出力は、共通第2回路ブロック12の各インバータ12aにそれぞれ入力されており、各インバータ12aと、各インバータ12aにそれぞれ直列接続された各抵抗12bとを通して、一括されて信号V d として出力される。そして、第1回路ブロック11の出力V c およびV e と、共通第2回路ブロック12の出力V d とが、各インバータ43および45と、インバータ44とに、それぞれ与えられて、出力信号V c' 、V e' 、V d' とされる。

【0026】

この場合、共通第2回路ブロック12の各抵抗12bの抵抗値を、それぞれ、R1およびR3とし、第1回路ブロック11の抵抗11bの抵抗値をR2とする

と、次の（１）式の関係になっている。

【 0 0 2 7 】

$$R 2 = (R 1 + R 3) / 2 \quad \cdots (1)$$

また、第 1 回路ブロック 1 1 を構成するインバータ 1 1 a の回路のサイズは、共通第 2 回路ブロック 1 2 を構成する一対のインバータ 1 2 a の回路のサイズの合計と等しくなるようにそれぞれ設定されている。

【 0 0 2 8 】

この場合、各第 1 回路ブロック 1 1 からのそれぞれの出力 V_c および V_e と、共通第 2 回路ブロック 1 2 からの出力 V_d とがそれぞれ入力されるインバータ 4 3 および 4 4 と、インバータ 4 5 との負荷がそれぞれ等しく、しかも、第 1 回路ブロック 1 1 および第 2 回路ブロック 1 2 にそれぞれ抵抗 1 1 a および 1 2 a がそれぞれ設けられているために、図 9 (a) に示すように、共通第 2 回路ブロック 1 2 から出力される信号 V_d は、共通第 2 回路ブロック 1 2 の各抵抗 1 2 b および各インバータ 1 2 a の入力負荷容量とにより、波形変形が一次遅れの形となって変化し、図 6 (a) に示す信号 V_d に近付けることができる。その結果、図 9 (b) に示すように、インバータ 4 4 から出力される信号 V_d' は、各インバータ 4 3 および 4 4 から出力される信号 V_c' および V_e' の中間の位相とされ、従って、位相差のある一対の信号 V_a および V_b を、確実に線形に補間することができる。

【 0 0 2 9 】

第 1 回路ブロック 1 1 および第 2 回路ブロック 1 2 に使用されるインバータ 1 1 a および 1 2 a としては、図 1 0 (a) および (b) に示すように、バイアス電圧が印加されるインバータ 1 1 a' および 1 2 a' をそれぞれ使用するようにしてもよい。

【 0 0 3 0 】

バイアス電圧が印加されるインバータ 1 1 a' (または 1 2 a') は、例えば、図 1 1 A に示すように、相互に直列接続された一対の第 1 MOSFET 2 1 および第 2 MOSFET 2 2 と、インバータ部 2 5 にそれぞれ接続された一対の第 3 MOSFET 2 3 および第 4 MOSFET 2 4 とを有しており、インバータ 1 1 a' (または 1 2 a')

の入力および出力が、それぞれ、インバータ部 2 5 の入力および出力になっている。

【 0 0 3 1 】

第 1 MOSFET 2 1 のゲートには、バイアス電圧 V_B が印加されるようになっており、第 1 MOSFET 2 1 のドレインが第 2 MOSFET 2 2 のドレインに接続されている。第 2 MOSFET 2 2 のドレインおよびゲート同士は、相互に接続された状態になっている。そして、第 2 MOSFET 2 2 のゲートと第 3 MOSFET 2 3 のゲートとが相互に接続されており、第 3 MOSFET 2 3 のソースがインバータ 2 5 に接続されている。インバータ 2 5 には、第 4 MOSFET 2 4 のドレインが接続されており、この第 4 MOSFET 2 4 のゲートが第 1 MOSFET 2 1 のゲートと同様に、バイアス電圧 V_B が印加される。

【 0 0 3 2 】

第 1 MOSFET 2 1 と第 4 MOSFET 2 4 の寸法比、および、第 2 MOSFET 2 2 と第 3 MOSFET 2 3 寸法比は、それぞれ $1 : n$ になっており、第 1 MOSFET 2 1 にバイアス電圧 V_B を印加することによって、第 2 MOSFET 2 2 から第 1 MOSFET 2 1 に電流 I が流れると、第 3 MOSFET 2 3 から第 4 MOSFET 2 4 には、その n 倍の制御電流 $n I$ が流れることになる。そして、この電流 $n I$ によって、インバータ部 2 5 の動作速度が調整される。

【 0 0 3 3 】

第 1 MOSFET 2 1 と第 4 MOSFET 2 4 の寸法比、および、第 2 MOSFET 1 2 と第 3 MOSFET 2 3 寸法比の n の値を変更することによって、バイアス電圧 V_B の値が同じであっても、第 3 MOSFET 2 3 および第 4 MOSFET 2 4 に流れる制御電流 $n I$ は、変更される。これにより、インバータ部 2 5 の動作速度が調整される。

【 0 0 3 4 】

また、印加されるバイアス電圧 V_B を変更することによって、インバータ部 2 5 に流れる制御電流は変更され、バイアス電圧 V_B が大きくなるとインバータ部 2 5 に流れる制御電流が増加し、バイアス電圧 V_B が小さくなるとインバータ部 2 5 に流れる制御電流が減少する。

【 0 0 3 5 】

図 1 1 B は、バイアス電圧が印加されるインバータ 1 1 a' および 1 2 a' の他の例を示している。このインバータ 1 1 a' (または 1 2 a') では、バイアス電圧 V_B が印加される第 1 MOSFET 2 1 のドレインに第 2 MOSFET 2 2 のドレインが接続されており、第 1 MOSFET 2 1 とゲートを共通にした第 4 MOSFET 2 4 のドレインがインバータ部 2 5 に接続されている。インバータ部 2 5 には、第 3 MOSFET 2 3 のドレインが接続されており、そして、第 3 MOSFET 2 3 のゲートと第 2 MOSFET 2 2 のゲートとが相互に接続されている。第 2 MOSFET 2 2 のゲートおよびドレインは、相互に接続されている。

【 0 0 3 6 】

このようなインバータ 1 1 a' (または 1 2 a') も、第 1 MOSFET 2 1 と第 4 MOSFET 2 4 の寸法比、および、第 2 MOSFET 2 2 と第 3 MOSFET 2 3 寸法比は、それぞれ 1 : n になっており、第 1 MOSFET 2 1 にバイアス電圧 V_B を印加することによって、第 2 MOSFET 2 2 から第 1 MOSFET 2 1 に電流 I が流れると、第 3 MOSFET 2 3 から第 4 MOSFET 2 4 には、その n 倍の制御電流 $n I$ が流れることになる。そして、この電流 $n I$ によって、インバータ部 2 5 の動作速度が調整される。

【 0 0 3 7 】

この場合、印加されるバイアス電圧 V_B を変更することによって、インバータ部 2 5 に流れる制御電流は変更され、バイアス電圧 V_B が大きくなるとインバータ部 2 5 に流れる制御電流が減少し、バイアス電圧 V_B が小さくなるとインバータ部 2 5 に流れる制御電流が増加する。

【 0 0 3 8 】

図 1 2 は、本発明の信号補間回路の他の例を示す構成図である。第 1 回路ブロック 1 1 および第 2 回路ブロック 1 2 には、バイアス電圧 V_B が印加されることによって動作速度が調整される図 1 1 A または図 1 1 B に示すインバータ 1 1 a' および 1 2 a' がそれぞれ使用されている。

【 0 0 3 9 】

そして、図 1 3 (a) に示すように、各インバータ 4 1 および 4 2 から各第 1 回路ブロック 1 1 にそれぞれ与えられる位相の異なる信号 V_a' および V_b' は、前述したように、各第 1 回路ブロック 1 1 によって位相を反転された信号 V_c

および V_e がそれぞれ出力され、第2回路ブロック12からは、信号 V_d が出力される。

【0040】

この場合、図13(c)に示すように、第1回路ブロック11および第2回路ブロック12に入力される信号 V_a' および V_b' の位相差が小さい場合には、インバータ11a' および12a' における n の値をそれぞれ大きくすれば、インバータ部25に対する制御電流が増加し、図13(d)に示すように、各第1回路ブロック11からそれぞれ出力される信号 V_c' および V_e' は、図13(a)に示す場合よりも、それぞれ、時間に対する電圧変化（傾き）が大きくなる。しかも、各第1回路ブロック11および第2回路ブロック12におけるそれぞれの抵抗11b および12a の抵抗値は、前記(1)式の関係を保持した状態で、それぞれの抵抗値を小さくされるために、各抵抗値と、各第1回路ブロック11の出力がそれぞれ与えられる各インバータ43および45の入力負荷容量と、第2回路ブロック12の出力が与えられるインバータ44の入力負荷容量とのそれぞれの積の値を小さくすることができる。従って、第2回路ブロック12から出力される信号 V_d は、図13(a)に示す場合よりも、時間に対する電圧の変化が大きくなり、図13(d)に示すように、各インバータ43、44、45からそれぞれ出力される信号 V_c' 、 V_d' 、 V_e' の位相差が小さくなる。

【0041】

このように、入力される信号の位相差に対応させて、補間信号を出力することができる。従って、図3に示すように、第1補間処理部10に入力される各信号の位相差と、第2補間処理部20に入力される各信号の位相差とは異なり、また、第2補間処理部10に入力される各信号の位相差と、第3補間処理部30に入力される各信号の位相差も異なる場合においても、各補間処理部10～30は、それぞれの入力信号の位相差に対応した適切に補間処理することができる。

【0042】

各第1回路ブロック11にそれぞれ設けられたインバータ11a、および第2回路ブロック12にそれぞれ設けられたインバータ12aは、それぞれのバイアス電圧を、任意の位相差を有する入力信号に基づいて変更するようにしてもよい。

。図 1 4 は、この場合に使用される補償回路の一例を示すブロック図である。この補償回路 6 0 は、データ信号 7 1 が入力されるフリップフロップ（以下、FF とする）6 1 と、クロック信号 7 2 およびセレクト信号 7 3 が入力されるプレシフトクロック生成部 6 2 とを有している。プレシフトクロック 6 2 は、クロック信号 7 2 およびセレクト信号 7 3 に基づいて、書き込みクロック 7 5 を出力し、出力される書き込みクロック 7 5 が、FF 6 1 に入力されている。、FF 6 1 は、書き込みクロック信号 7 5 に同期して、データ信号 7 1 に基づく書き込みデータ 7 4 を出力する。

【 0 0 4 3 】

図 1 5 は、プレシフトクロック生成部 6 2 の内部の構成を示すブロック図である。プレシフトクロック生成部 6 2 は、プレシフトクロック決定部 6 2 a および適応電源電圧生成部 6 2 b とを有しており、クロック信号 7 2 が、プレシフトクロック決定部 6 2 a および適応電源生成部 6 2 b にそれぞれ与えられている。適応電源電圧生成部 6 2 b は、入力されるクロック信号 7 2 に基づいて、駆動電圧 VDD をプレシフトクロック決定部 6 2 a に出力する。プレシフトクロック決定部 6 2 a は、駆動電圧 VDD によって駆動される。

【 0 0 4 4 】

プレシフトクロック決定部 6 2 a には、セレクト信号 7 3 が、直接入力されており、駆動電圧 VDD によって駆動されたプレシフトクロック決定部 6 2 a は、セレクト信号 7 3 およびクロック信号 7 2 に基づいて書き込みクロック 7 5 を出力する。

【 0 0 4 5 】

図 1 6 は、プレシフトクロック決定部 6 2 a の内部の構成を示すブロック図である。プレシフトクロック決定部 6 2 a には、クロック信号 7 2 がそれぞれ与えられる遅延回路部 6 2 d および信号補間部 6 2 c が設けられている。遅延回路部 6 2 d には、適応電源電圧生成部 6 2 b から出力される駆動電圧 VDD が与えられて駆動されるようになっており、また、信号補間部 6 2 c も、駆動電圧 VDD によって駆動されるようになっている。遅延回路部 6 2 d は、入力されるクロック信号 7 2 の遅延信号を信号補間部 6 2 c に出力する。

【0046】

信号補間部 6 2 c は、入力されるクロック信号 7 2 と、遅延回路部 6 2 d から出力される遅延クロック信号とに基づいて、セクタ 6 2 f に、補間信号を出力する。セクタ 6 2 f には、セレクト信号 7 3 が入力されており、セクタ 6 2 f は、信号補間部 6 2 c から出力される補間信号をセレクト信号 7 3 に基づいて選択して、書き込みクロック 7 5 として出力する。

【0047】

図 1 7 は、プレシフトクロック決定部 6 2 a に設けられた遅延回路部 6 2 c の内部構成を示す概略回路図である。駆動電圧 VDD によって駆動される遅延回路 6 2 c には、同様の回路構成の n 個のバッファ 6 3 が直列接続されており、クロック信号が直列接続された一方の端部のバッファ 6 3 に入力されている。そして、各バッファ 6 3 の出力が、遅延クロック 1、遅延クロック 2、遅延クロック (n-1)、遅延クロック n として、順次、信号補間部 6 2 c に出力される。

【0048】

遅延回路部 6 2 d に与えられる駆動電圧 VDD は、各バッファ 6 3 からそれぞれ出力される遅延クロックの総遅延量を、常にクロック周期と同じに保つ電圧値に設定されている。これにより、各バッファ 6 3 から出力される遅延クロックの遅延量は、それぞれクロック周期の $1/n$ となる。各バッファ 6 3 の駆動電圧 VDD は、適応電源電圧生成部 6 2 b によって、その適応電源電圧生成部に入力されるクロック信号 7 2 に基づいて決定される。

【0049】

なお、図 1 6 では、遅延回路部 6 2 d からそれぞれ出力される遅延クロック 1 ~ n の信号線を一括して示している。

【0050】

図 1 8 は、信号補間部 6 2 c の内部の構成を示すブロック図である。信号補間部 6 2 c には、それぞれが図 3 に示す信号補間回路部と同様の構成の n 個の信号補間回路部 6 2 e が設けられている。各信号補間回路部 6 2 e における第 1 回路ブロック 1 1 および第 2 回路ブロック 1 2 には、図 1 1 A に示すインバータ 1 1 a' および 1 2 a' が使用されて、それぞれ図 1 0 (a) および (b) に示すよ

うに、インバータ 11 a' および 12 a' に抵抗 11 b および 12 b がそれぞれ接続されている。

【0051】

各信号補間回路部 62 e には、適応電源電圧生成部 62 b によって生成される駆動電圧 VDD が、第 1 回路ブロック 11 のインバータ 11 a' および第 2 回路ブロック 12 のインバータ 12 a' それぞれの制御用のバイアス電圧として与えられている。各信号補間回路部 62 e は、遅延回路部 62 d から出力される順次出力される一対の遅延クロックが、それぞれの入力信号とされており、遅延クロック 1 と遅延クロック 2 とが 1 つの信号補間回路部 62 e に入力され、遅延クロック 2 および遅延クロック 3 が、1 つの信号補間回路部 62 e に入力され、以下同様にして、遅延クロック (n-1) および遅延クロック n が、信号補間回路部 62 e に入力されている。

【0052】

従って、各信号補間回路部 62 e は、前述したように、位相差を有する一対の入力信号を、各入力信号と同様の位相を有する一対の出力信号と、それらの出力信号の位相を補間する 7 つの出力信号とをそれぞれ出力する。その結果、各信号補間部 62 c に入力されるクロック信号 72 を遅延回路部 62 d にて遅延クロックとして出力される際に、各遅延クロックを、さらに、遅延分解能を高めた状態で補間した補間信号として各信号補間回路部 62 e から出力されることになる。

【0053】

なお、図 16 では、信号補間回路部 62 c からそれぞれ出力される補間信号の信号線を一括して示している。

【0054】

各信号補間回路部 62 e では、駆動電圧 VDD が、それぞれのインバータ 11 a' および 12 a' の各バイアス電圧 VB として使用されており、図 15 における適応電源電圧生成部 62 b において、クロック信号 72 の周期が早い場合には、駆動電圧 VDD が高く設定され、反対に、クロック信号 72 の周期が遅い場合には、駆動電圧 VDD が低く設定することにより、図 16 に示す遅延回路部 62 d における総遅延量が、クロック信号 72 の周期と同じになるようにされる。

【0055】

従って、クロック信号72の周期が早い場合には、図18に示す信号補間回路部62eに入力される一对の入力信号（遅延クロック）の位相差は小さく、反対にクロック信号72の周期が遅い場合には、信号補間回路部62eに入力される一对の入力信号（遅延クロック）の位相差が大きくなる。このために、信号補間回路部62eに入力される一对の入力信号の位相差が大きい場合には、駆動電圧VDDは低くされ、反対に、信号補間回路部62eに入力される一对の入力信号の位相差が小さい場合には、駆動電圧VDDは高くされる。その結果、信号補間回路部62eに入力される一对の入力信号の位相差が小さい場合には、信号補間回路部62eにおける各インバータ11a' および12a' の制御電流量が、一对の入力信号の位相差が大きな場合に比べて相対的に大きくなり、信号補間回路部62eでは、クロック信号72の周期に応じた信号補間動作が可能になる。

【0056】

【発明の効果】

本発明の信号補間回路は、このように、信号の伝播速度を制御する制御手段が設けられているために、この制御手段により、位相差を有する一对の信号を線形に補間する補間信号が高精度に生成される。また、入力信号の位相差に基づいて、信号の伝播速度が制御されるために、入力信号の任意の位相差に対応した制御が可能になり、記憶装置に対するデータを書き込む際の書き込み補償回路に好適に使用することができる

【図面の簡単な説明】

【図1】

信号補間回路部の一例を示す概略構成図である。

【図2】

(a) は、その信号補間回路部の入力信号を示すグラフ、(b) は、その信号補間回路部の出力信号を示すグラフである。

【図3】

図1の信号補間回路部の具体的構成を示す回路図である。

【図4】

(a) は、図 3 に示す信号補間回路部の第 1 回路ブロックの具体的構成を示す回路部、(b) は、同じく第 2 回路ブロックの具体的構成を示す回路図である。

【図 5】

図 3 の信号補間回路部における信号補間回路の具体的構成を示す回路図である。

【図 6】

(a) は、図 5 に示す信号補間回路における第 1 回路ブロックおよび第 2 回路ブロックの理想的な出力信号を示すグラフ、(b) は、(a) における第 1 回路ブロックおよび第 2 回路ブロックをそれぞれ反転して得られる出力信号を示すグラフ、(c) は、図 5 に示す信号補間回路における第 1 回路ブロックおよび第 2 回路ブロックの実際の出力信号を示すグラフ、(d) は、(c) における第 1 回路ブロックおよび第 2 回路ブロックをそれぞれ反転して得られる出力信号を示すグラフである。

【図 7】

(a) は、本発明の信号補間回路に使用される第 1 回路ブロックの具体的構成の一例を示す回路図、(b) は、同じく第 2 回路ブロックの具体的構成の一例を示す回路図である。

【図 8】

図 7 に示す第 1 回路ブロックおよび第 2 回路ブロックを使用した場合の信号補間回路の具体的構成を示す回路図である。

【図 9】

(a) は、図 8 に示す信号補間回路における第 1 回路ブロックおよび第 2 回路ブロックの出力信号を示すグラフ、(b) は、(a) における第 1 回路ブロックおよび第 2 回路ブロックをそれぞれ反転して得られる出力信号を示すグラフである。

【図 10】

(a) は、本発明の信号補間回路に使用される第 1 回路ブロックの具体的構成の他の例を示す回路図、(b) は、同じく第 2 回路ブロックの具体的構成の他の例を示す回路図である。

【図 1 1 A】

図 1 0 の第 1 および第 2 の各回路ブロックに使用されるインバータの構成の一例を示す回路図である。

【図 1 1 B】

図 1 0 の第 1 および第 2 の各回路ブロックに使用されるインバータの構成の他の例を示す回路図である。

【図 1 2】

図 1 0 に示す第 1 回路ブロックおよび第 2 回路ブロックを使用した場合の信号補間回路の具体的構成を示す回路図である。

【図 1 3】

(a) は、図 8 に示す信号補間回路における第 1 回路ブロックおよび第 2 回路ブロックの出力信号の一例を示すグラフ、(b) は、(a) における第 1 回路ブロックおよび第 2 回路ブロックをそれぞれ反転して得られる出力信号を示すグラフ、(c) は、図 8 に示す信号補間回路における第 1 回路ブロックおよび第 2 回路ブロックの出力信号の他の例を示すグラフ、(d) は、(c) における第 1 回路ブロックおよび第 2 回路ブロックをそれぞれ反転して得られる出力信号を示すグラフである。

【図 1 4】

本発明の信号補間回路が使用される書き込み補償回路部の全体構成を示す概略図である。

【図 1 5】

図 1 4 の書き込み補償回路部に使用されるプレシフトクロック生成部の構成を示す概略図である。

【図 1 6】

図 1 5 のプレシフトクロック生成部に使用されるプレシフトクロック決定部の構成を示す概略図である。

【図 1 7】

図 1 6 のプレシフトクロック決定部に使用される遅延回路部の構成を示す概略図である。

【図 1 8】

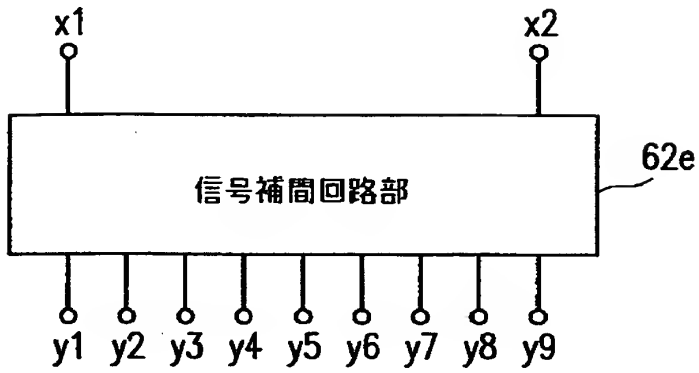
図 1 7 のプレシフトクロック決定部に使用される信号補間部の構成を示す概略図である。

【符号の説明】

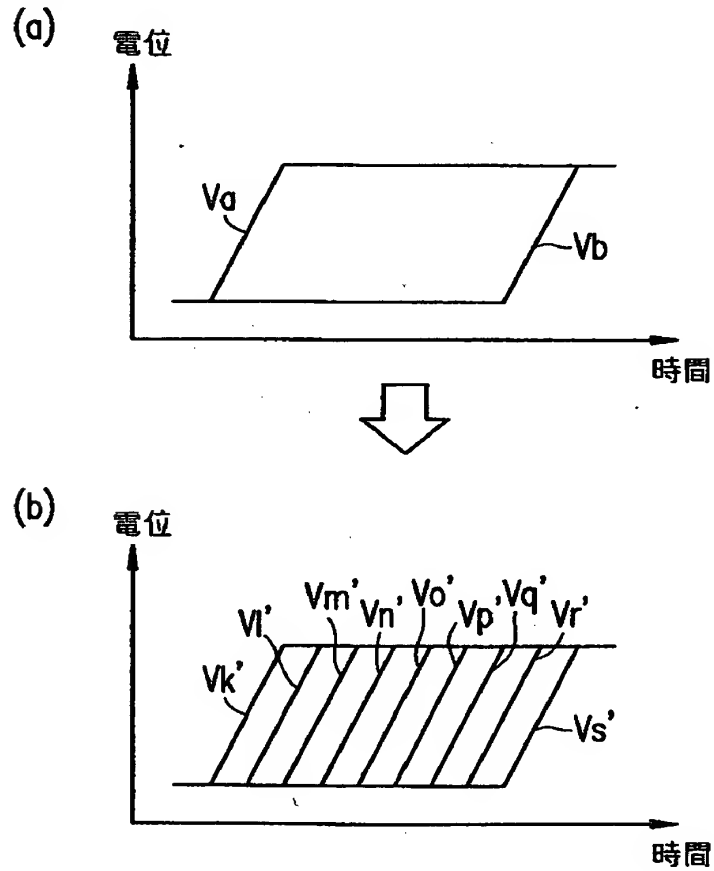
- 1 0 第 1 補間処理部
- 1 1 第 1 回路ブロック
- 1 1 a、1 1 a' インバータ
- 1 1 b 抵抗
- 1 2 第 2 回路ブロック
- 1 2 a、1 2 a' インバータ
- 1 2 b 抵抗
- 2 0 第 2 補間処理部
- 2 1 第 1 MOSFET
- 2 2 第 2 MOSFET
- 2 3 第 3 MOSFET
- 2 4 第 4 MOSFET
- 2 5 インバータ部
- 3 0 第 3 補間処理部
- 4 1 ~ 5 9 インバータ
- 6 0 書き込み補償回路部
- 6 1 フリップフロップ
- 6 2 プレシフトクロック生成部
- 6 2 a プレシフトクロック決定部
- 6 2 b 適応電源電圧生成部
- 6 2 c 信号補間部
- 6 2 d 遅延回路部
- 6 2 e 信号補間回路

【書類名】 図面

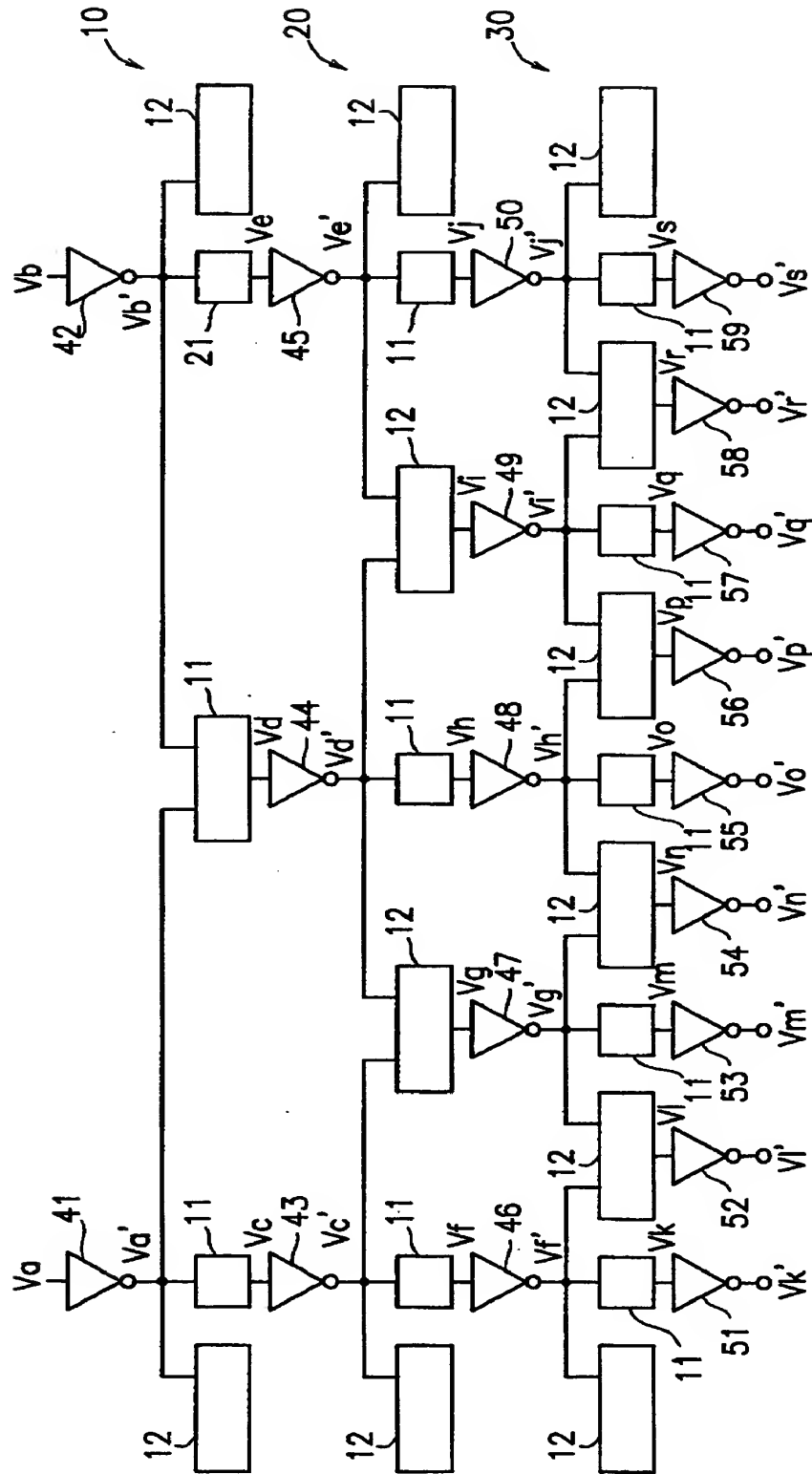
【図 1】



【図 2】

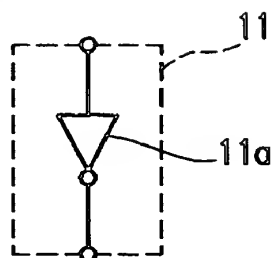


【図 3】

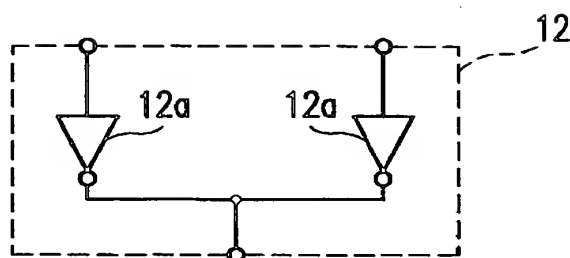


【図 4】

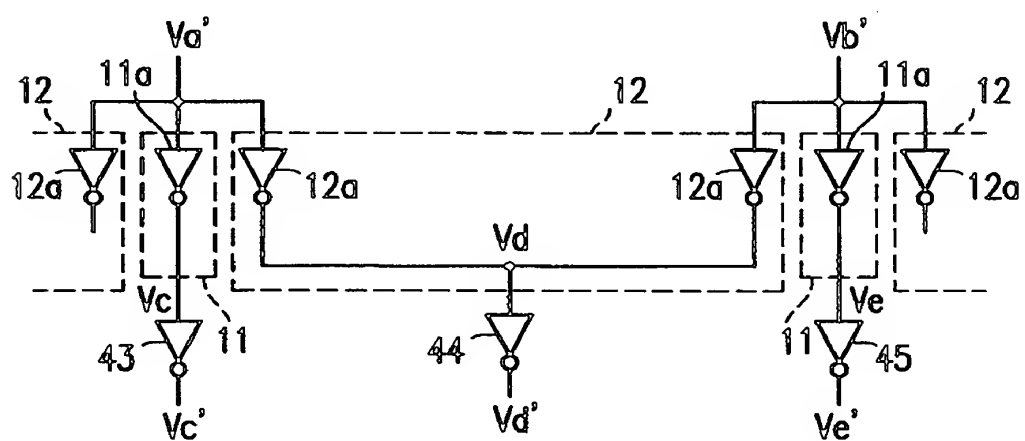
(a)



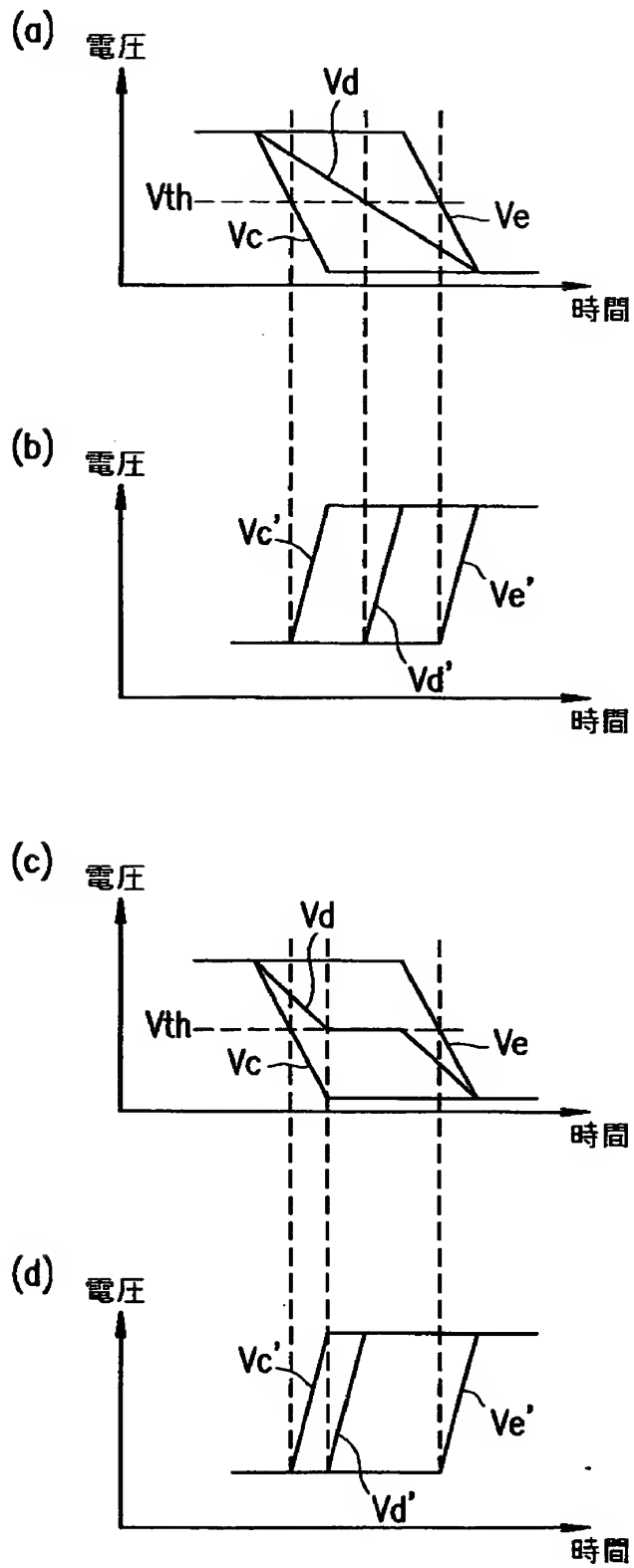
(b)



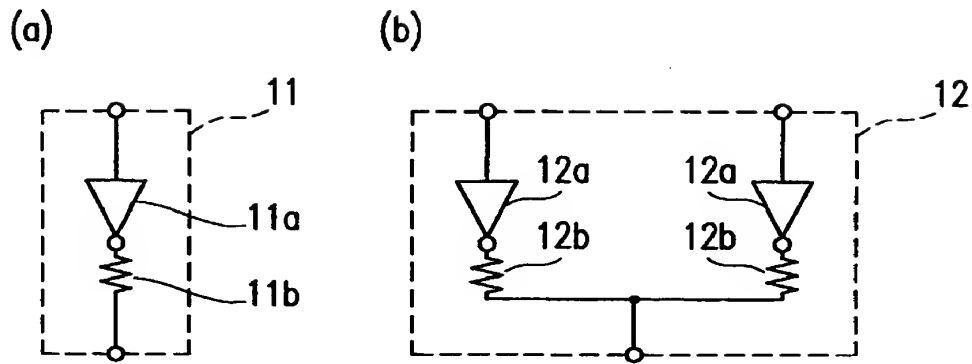
【図 5】



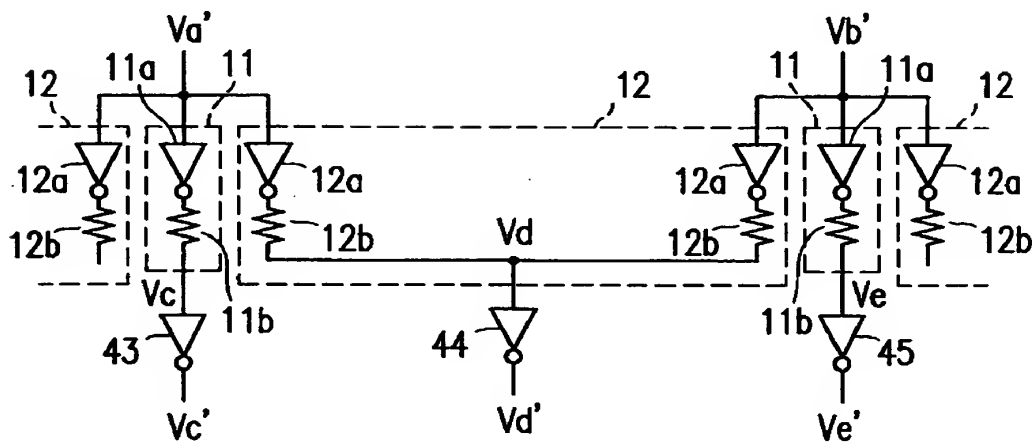
【図 6】



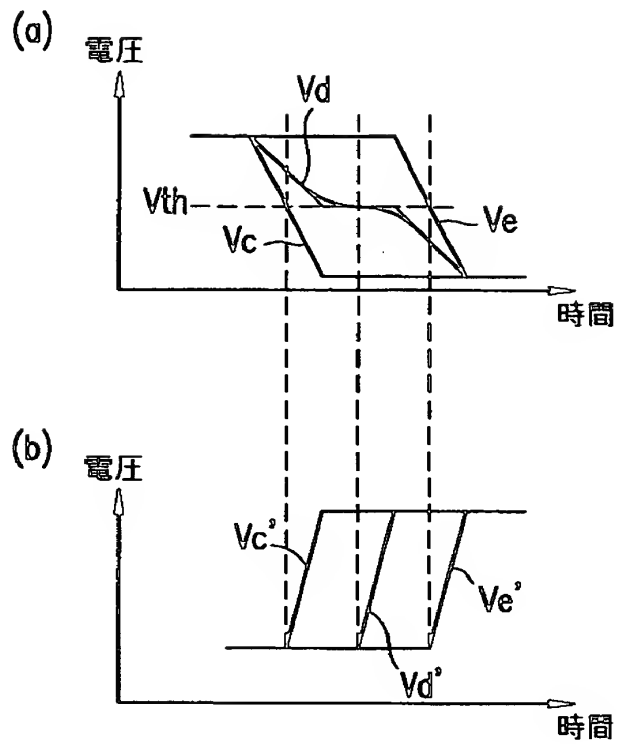
【図 7】



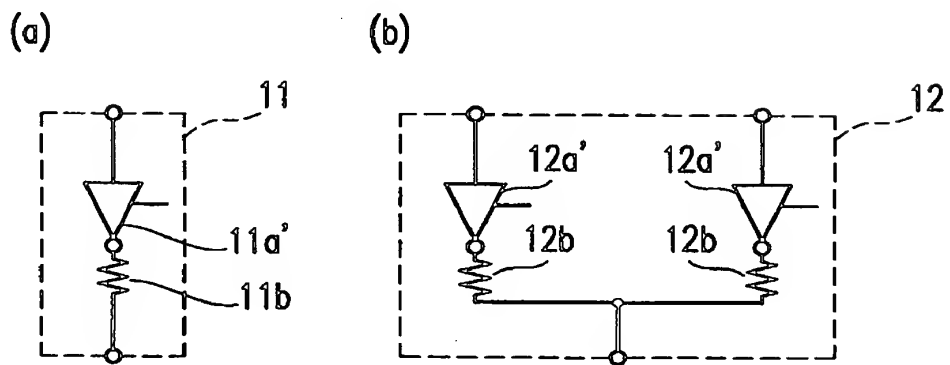
【図 8】



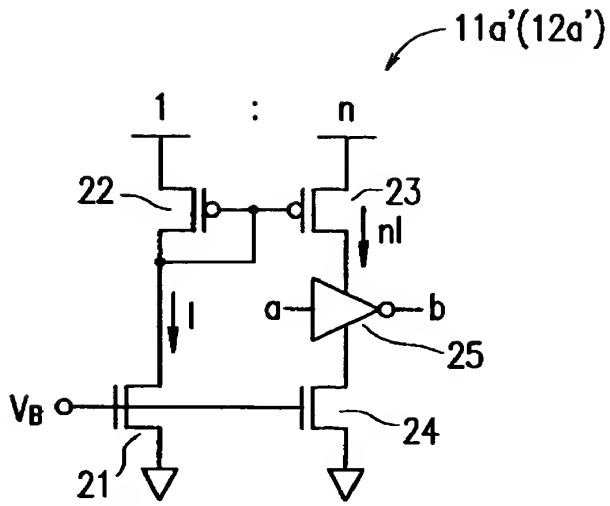
【図 9】



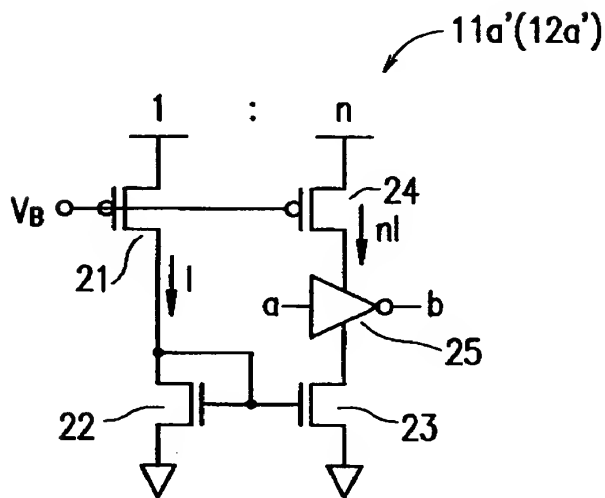
【図 1 0】



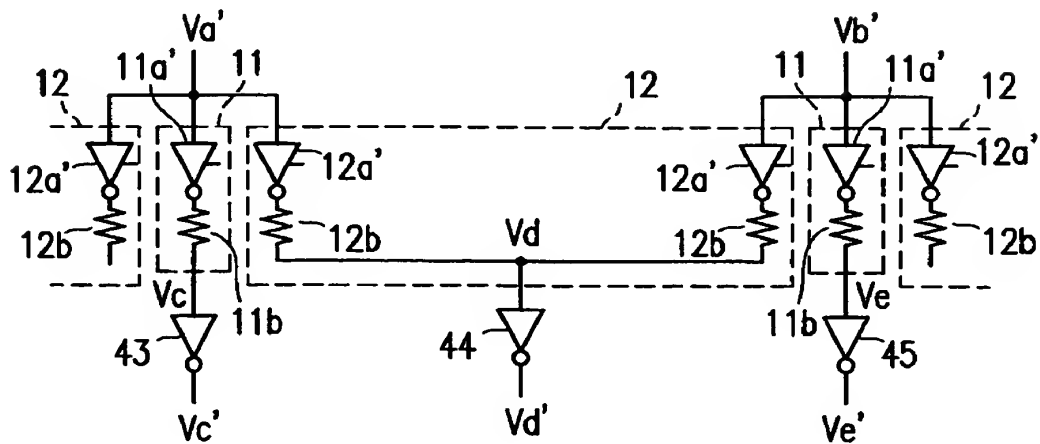
【図 1 1 A】



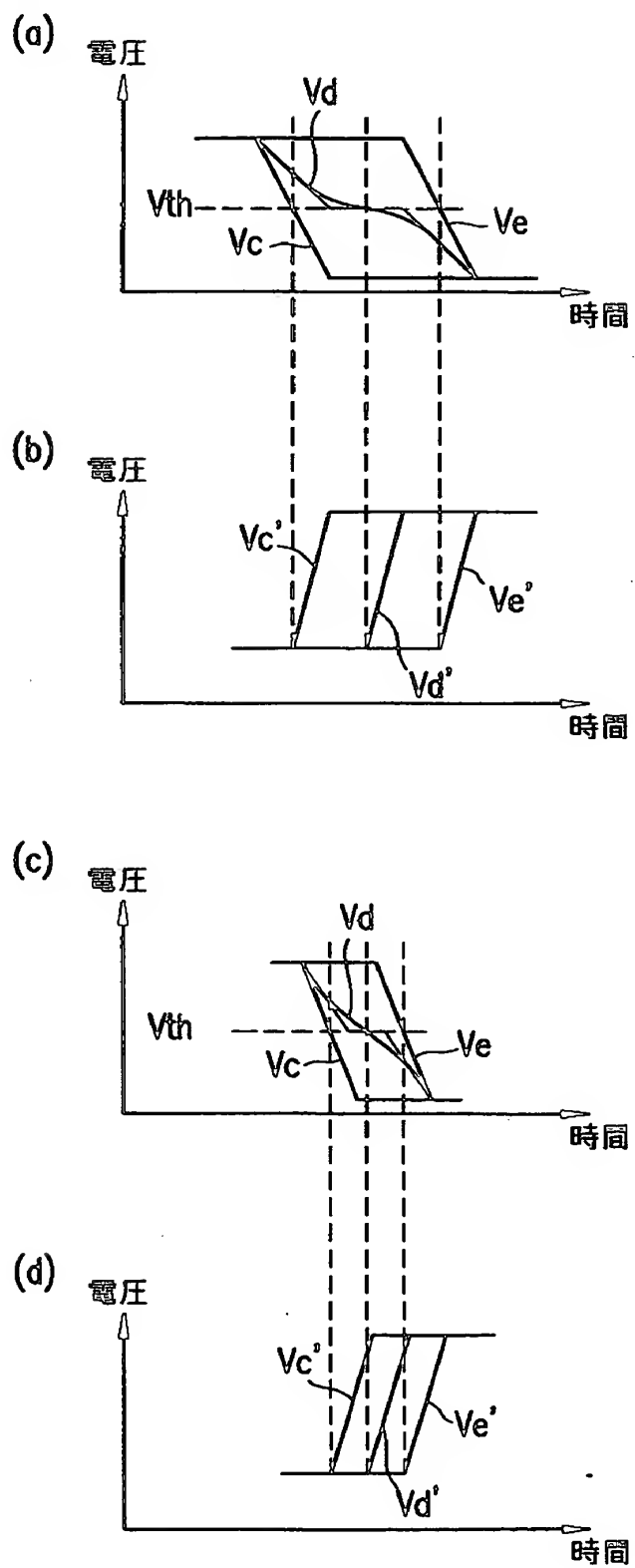
【図 1 1 B】



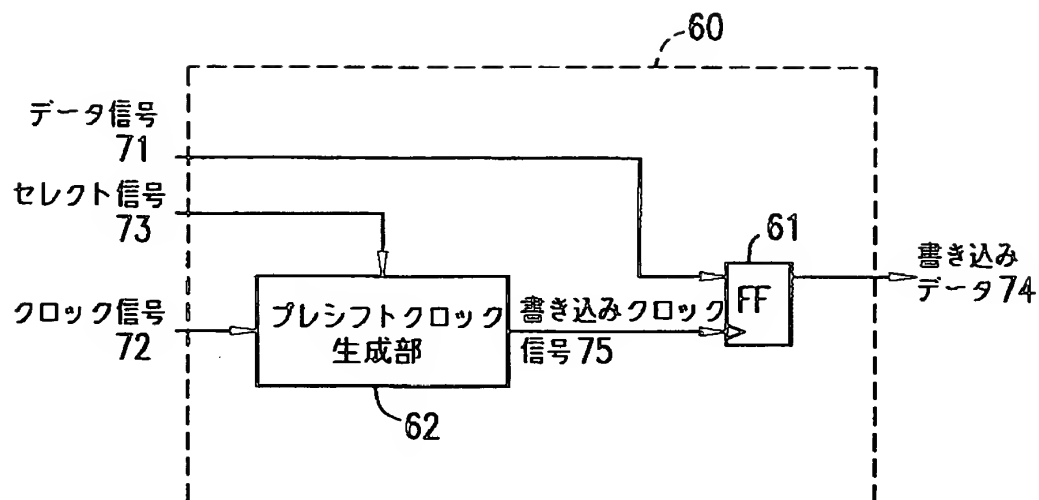
【図 1 2】



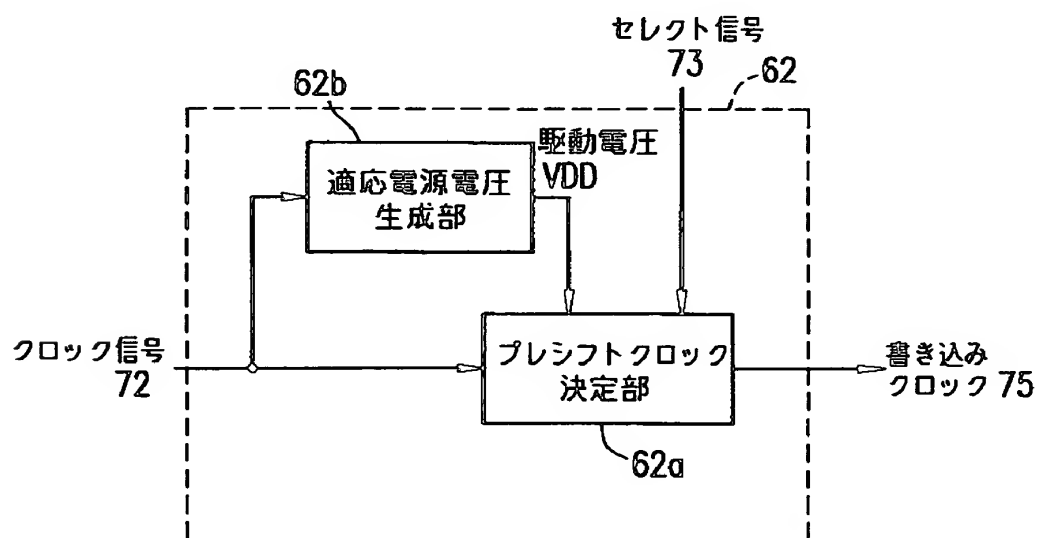
【図 1 3】



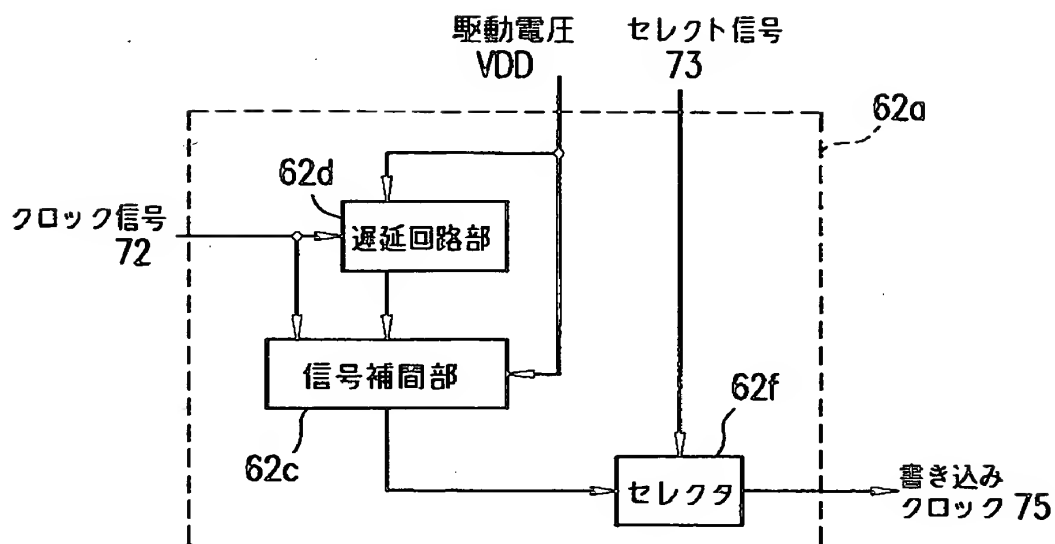
【図 1 4】



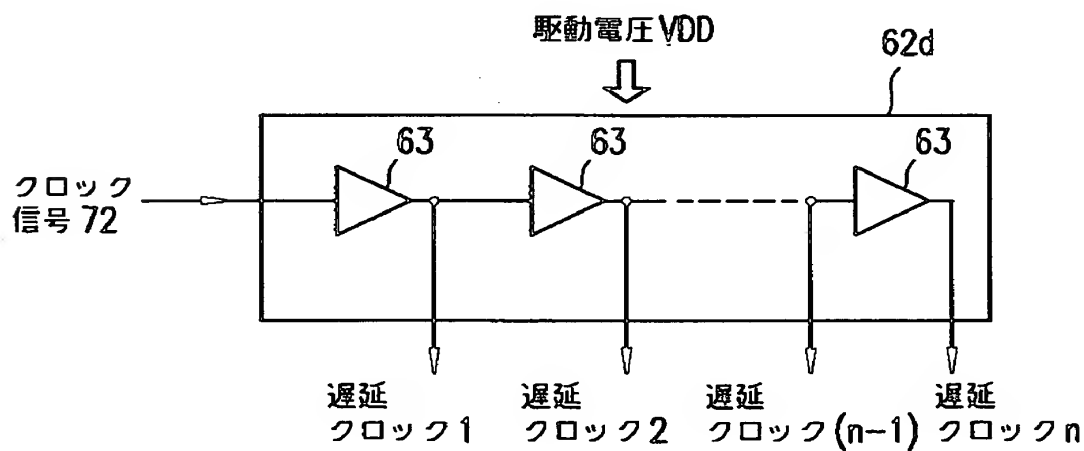
【図 1 5】



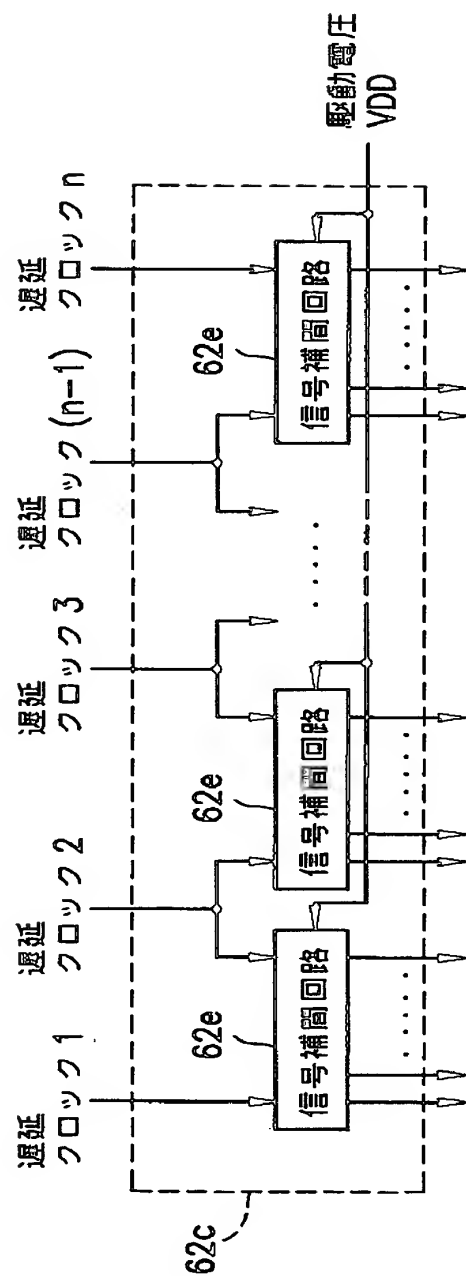
【図 16】



【図 17】



【図 1 8】



【書類名】 要約書

【要約】

【課題】位相差を有する一対の信号を、線形に補間する補間信号を高精度に生成することができる。

【解決手段】位相差の異なる一対の入力信号が、それぞれ、第1回路ブロック 1 1 のインバータ 1 1 a および抵抗 1 1 b を介して、各インバータ 4 3 および 4 5 に与えられてるとともに、各入力信号が、共通第2回路ブロック 1 2 の各インバータ 1 2 a に入力されている。各インバータ 1 2 a の出力は一括して、インバータ 4 4 に与えられている。各第1回路ブロック 1 1 からインバータ 4 3 および 4 5 に伝播される信号の速度と、第2回路ブロック 1 2 からインバータ 4 4 に伝播される信号の速度は、各抵抗 1 1 b および 1 2 b によって制御される。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社

(Translation)

PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application : December 1, 1999

Application Number : Heisei 11

Patent Appln. No. 342656

Applicant(s) : MATSUSHITA ELECTRIC INDUSTRIAL
CO., LTD.

Wafer
of the
Patent
Office

February 25, 2000

Takahiko KONDO

Commissioner,
Patent Office

Seal of
Commissioner
of
the Patent
Office

Appln. Cert. No.

Appln. Cert. Pat. 2000-3011060